



ANKARA YILDIRIM BEYAZIT ÜNİVERSİTESİ

MÜHENDİSLİK VE DOĞA BİLİMLERİ FAKÜLTESİ ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ(İNG)

EE424 DIGITAL SYSTEM DESIGN WITH VERILOG					
Yarıyıl	Kodu	Adı	T+U	Kredi	AKTS
8	EE424	DIGITAL SYSTEM DESIGN WITH VERILOG	3	0	5

Öğretim Türü	Dersin Dili	Dersin Düzeyi	Dersin Staj Durumu	Dersin Türü
Örgün Öğretim	İngilizce	Fakülte	Yok	Seğmeli

Bölümü/Programı	Ön Koşul	Dersin Koordinatörü	Dersi Veren	Dersin Yardımcıları
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ(İNG)		Yok	Prof.Dr. Enver Çavuş	Yok

Dersin Amacı :

Bu dersin amacı, Verilog donanım tanımlama dili ile karmaşık sayısal devrelerin yapısal, veri akışı ve davranışsal düzeylerde tasarlanması; test düzenekleri ile benzetim ve doğrulama yapılması; tasarımların sentezlenerek FPGA üzerinde gerçekleştirilmesi becerilerini kazandırmaktır. Algoritmaların sabit noktali modellenmesi, nicemleme ve sözcük uzunluğu seçimi ile donanım kaynakları ve hız arasındaki tasarım önlemleri ele alınır.

Öğretim Yöntem ve Teknikleri :

HDL ve FPGA temelleri; Verilog modülleri, portlar, modül örnekleme ve test düzenekleri; sinyaller, veri türleri, sayılar ve işlemler; birleşimsel devrelerin modellenmesi ve sentezi; ardışıl devreler, yazmaçlar ve sayaçlar; sonlu durum makineleri; kaydırıcılar ve doğrusal geri beslemeli kaydırmalı yazmaçlar; bloklayan ve bloklamayan atamalar ve generate yapıları; kayan ve sabit noktali aritmetik, taşma, doyum ve yuvarlama; RAM, ROM, BRAM ve FIFO bellekler; RTL zamanlama, kritik yol, boru hatlama ve paralellik; algoritmalar için veri yolu ve denetim birimi tasarımı, benzetim ve FPGA gerçekleştirme.

Dersin Kaynakları

Kaynakları

Verilog Digital System Design,Zainalabedin Navabi
Blaine C. Readler, Verilog by Example: A Concise Introduction for FPGA Design.
Pong P. Chu, FPGA Prototyping by Verilog Examples: Xilinx Spartan-3 Version, Wiley.
Vaibhav Taraate, Digital Logic Design Using Verilog: Coding and RTL Synthesis, Springer. Öğretim elemanının ders sunumları, Verilog örnekleri, benzetim ve tasarım alıştırılmaları.

Kaynak kitaplar:

1. Verilog HDL - Samir Palnitkar, 2nd Edition, Pearson Education, 2009.
2. Advanced Digital Logic Design using Verilog, State Machines & Synthesis for FPGA - Sunggu Lee, Cengage Learning, 2012.
3. Fundamentals of Digital Logic with Verilog Design - Stephen Brown, Zvonkoc Vranesic, TMH, 2nd Edition.
4. Advanced Digital Design with Verilog HDL - Michel D. Ciletti, PHI,2009.

Ders bilgi sunumunda önerilen ek kaynaklar:

Blaine C. Readler, Verilog by Example: A Concise Introduction for FPGA Design.
Pong P. Chu, FPGA Prototyping by Verilog Examples: Xilinx Spartan-3 Version, Wiley.
Vaibhav Taraate, Digital Logic Design Using Verilog: Coding and RTL Synthesis, Springer.

Ders Yapısı

Matematik ve Temel Bilimler	:	Eğitim Bilimleri	:
Mühendislik Bilimleri	:	Fen Bilimleri	:
Mühendislik Tasarımı	: 100	Sağlık Bilimleri	:
Sosyal Bilimler	:	Alan Bilgisi	:

Ders Konuları

Hafta	Konu	Ön Hazırlık	Dökümanlar
1	HDL, FPGA ve Verilog diline giriş; sayısal sistem tasarımı ve FPGA/ASIC karşılaştırması.		
2	Verilog modülleri, portlar ve modül örnekleme; sinyaller, veri türleri, sayılar, işlemler ve temel test düzenekleri.		
3	Birleşimsel devrelerin Verilog ile modellenmesi ve sentezi; çoklayıcılar, LUT yapıları ve istenmeyen mandallların önlenmesi.		
4	Ardışıl devrelerin kodlanması; flip-floplar, sıfırlama, yazmaçlar, sayaçlar ve senkron tasarım.		
5	Sonlu durum makineleri: Mealy/Moore modelleri, durum kodlama, dizi algılama ve LFSR tasarımına giriş.		
6	Kaydırmalı yazmaçlar, verilog kaydırıcılar ve LFSR; bloklayan/bloklamayan atamalar, olaylar ve generate yapıları.		
7	RTL zamanlama, kurulum/tutma süreleri ve kritik yol; boru hatlama ile paralel işleminin karşılaştırılması.		
8	Bellek modelleme: yazmaç dosyaları, tek/çift portlu RAM, BRAM, ROM, bellek ilklendirme ve FIFO.		
9	Ara sınav (vize).		
10	Kayan ve sabit noktali sayı gösterimleri; Q biçimi, aralık ve sözcük uzunluğu seçimi.		
11	Sabit noktali aritmetik; taşma, doyum, kırma ve yuvarlama; MATLAB ve Verilog ile modelleme ve doğrulama.		
12	En büyük ortak bölen (EBOB) algoritması: davranışsal modelden veri yolu ve denetim birimi mimarisine geçiş.		
13	Veri yolu ve denetim biriminin Verilog ile gerçekleştirilmesi; test düzeneği ve işlevsel doğrulama.		
14	Dönem projesi: sabit noktali algoritma modelinin Verilog tasarımına dönüştürülmesi; sentez ve FPGA gerçekleştirme.		
15	Dönem projesi sonuçlarının doğrulanması; kaynak kullanımı ve zamanlama değerlendirmesi, rapor ve sunum.		

Dersin Öğrenme Çıktıları

Sıra No	Açıklama
Ö01	Bir donanım tasarımını Verilog dilinde veri akışı, yapısal ve davranışsal modelleme biçimlerini kullanarak tanımlar.
Ö02	Bir bileşen tasarımını doğrulamak için test düzeneği oluşturur ve kullanır.
Ö03	Karmaşık bir sonlu durum makinesini tasarlar ve gerçekleştirir.
Ö04	Tek portlu ve çift portlu bellek modüllerini gerçekleştirir.
Ö05	Basit bir algoritma için veri yolu ve denetim birimini içeren bir donanım mimarisi tasarlar.
Ö06	Özyinelemeli bir algoritmayı sabit noktali model ve Verilog kullanarak gerçekleştirir ve doğrular.

Programın Öğrenme Çıktıları

Sıra No	Açıklama
P07	Mühendislik meslek etiğine uygun davranma; etik sorumluluk bilinciyle hareket etme; eşitlik, tarafsızlık ve kapsayıcılık ilkelerine bağlı kalma.
P09	Farklı hedef kitlelere yönelik olarak teknik bilgileri sözlü ve yazılı biçimde açık, anlaşılır ve etkili bir şekilde aktarabilme.
P10	Proje yönetimi, maliyet analizi ve uygulanabilirlik değerlendirmeleri hakkında bilgi sahibi olma; yenilikçilik ve girişimcilik konularında farkındalık geliştirme.
P05	Mühendislik problemlerine yönelik araştırma yapabilme; literatür tarama, deney tasarlama ve yürütme, veri toplama, analiz etme ve sonuçları bilimsel olarak yorumlayabilme
P04	Mühendislik problemlerinin analizi ve çözümünde uygun yöntemleri, teknikleri ve modern mühendislik araçlarını seçme ve kullanma; modelleme ve simülasyon süreçlerini yürütme ve kullanılan araçların sınırlılıklarının farkında olma.
P06	Mühendislik uygulamalarının toplumsal, çevresel, ekonomik ve sürdürülebilirlik boyutlarını değerlendirebilme; sağlık ve güvenliği konularında farkındalık sahibi olma.
P08	Bireysel olarak ve disiplin içi/çok disiplini takımlarda etkin görev alabilme; gerektiğinde liderlik üstenebilme ve farklı çalışma ortamlarına uyum sağlayabilme.
P11	Bağımsız öğrenme becerisine sahip olma; bilim ve teknolojiadaki gelişmeleri takip edebilme ve kendini sürekli yenileyebilme.
P01	Matematik, fen bilimleri, temel mühendislik alanları, bilgisayar destekli hesaplama yöntemleri ve elektrik-elektronik mühendisliğine özgü konularda yeterli bilgiye sahip olma; bu bilgileri karmaşık mühendislik problemlerinin çözümünde etkin biçimde uygulayabilme.

P02	Karmaşık mühendislik problemlerini; temel bilimler, matematik ve mühendislik bilgilerini kullanarak tanımlayabilme, modelleyebilme ve analiz edebilme; bu süreçte sürdürülebilirlik ilkelerini ve küresel gereksinimleri dikkate alma.
P03	Karmaşık mühendislik problemlerine yönelik yenilikçi ve uygulanabilir çözümler geliştirebilme; sistem, süreç, cihaz veya ürünleri gerçekçi kısıtlar (ekonomik, çevresel, etik, üretilebilirlik vb.) altında tasarlayabilme.

Değerlendirme Ölçütleri		
Yarıyıl Çalışmaları	Sayısı	Katkı
Ara Sınav	1	%30
Kısa Sınav	0	%0
Ödev	4	%10
Devam	0	%0
Uygulama	0	%0
Proje	1	%30
Yarıyıl Sonu Sınavı	1	%30
Toplam		%100

AKTS Hesaplama İçeriği			
Etkinlik	Sayısı	Süresi	Toplam İş Yüğü Saati
Ders Süresi	14	3	42
Sınıf Dışı Ç. Süresi	14	2	28
Ödevler	4	4	16
Sunum/Seminer Hazırlama	1	4	4
Ara Sınavlar	1	10	10
Uygulama	0	0	0
Laboratuvar	0	0	0
Proje	1	40	40
Yarıyıl Sonu Sınavı	1	10	10
Toplam İş Yüğü			150
AKTS Kredisi			5

Dersin Öğrenme Çıktılarının Programın Öğrenme Çıktılarına Katkıları			
Katkı Düzeyi: 1: Çok düşük 2: Düşük 3: Orta 4: Yüksek 5: Çok yüksek			

	P01	P02
Tüm	5	5
Ö01	5	5